

PIPELINE ARITHMETIC CIRCUIT

Publication number: JP5108347 (A)

Also published as:

Publication date: 1993-04-30

JP2858602 (B2)

Inventor(s): URATA HIDEO

Applicant(s): MITSUBISHI HEAVY IND LTD

Classification:

- international: G06F7/00; G06F9/30; G06F9/38; G06F15/16; G06F15/80; G06T1/20; G06F7/00; G06F9/30; G06F9/38; G06F15/16; G06F15/76; G06T1/20; (IPC1-7): G06F7/00; G06F9/38; G06F15/16; G06F15/66

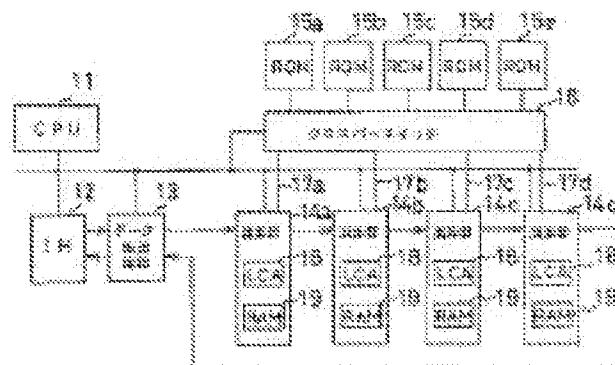
- European:

Application number: JP19910241196 19910920

Priority number(s): JP19910241196 19910920

Abstract of JP 5108347 (A)

PURPOSE: To attain the optional switching of the executing orders and the functions among plural computing elements. **CONSTITUTION:** Each of programmable computing elements 14a-14d consists of a logic cell array 18 which can perform the reconfiguration of the arithmetic function and a RAM 19. Then the ROM 15a-15e where the configuration data are written to decide the function and the operation of the array 18 are connected with switching to the elements 14a-14d respectively. In this case, the connection of the configuration data lines 17a-17d which consist of the clock signal, the data output enable signal, and the configuration data signal are switched by a crossbar switch 16 controlled by a CPU 11 between the elements 14a-14d and the ROM 15a-15e.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-108347

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵ 識別記号 序内整理番号 F I 技術表示箇所
G 06 F 9/38 3 1 0 J 9290-5B
7/00
15/16 4 0 0 Y 9190-5L
15/66 L 8420-5L
8323-5B G 06 F 7/ 00 A
審査請求 未請求 請求項の数 1(全 7 頁)

(21)出願番号 特願平3-241196

(71)出願人 000006208

三菱重工業株式会社

東京都千代田区丸の内二丁目5番1号

(22)出願日 平成3年(1991)9月20日

(72)発明者 浦田 秀夫

兵庫県神戸市兵庫区和田崎町一丁目1番1

号 三菱重工業株式会社神戸造船所内

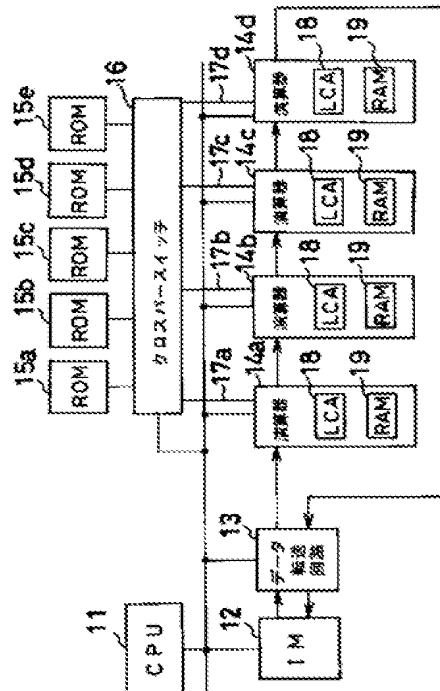
(74)代理人 弁理士 錦江 武彦

(54)【発明の名称】 バイブライン演算回路

(57)【要約】

【目的】バイブライン演算回路において、複数の演算器の実行順序および機能を任意に切り換えることである。

【構成】演算機能の再コンフィギュレーションが可能なロジックセルアレイ18とRAM19からなるプログラマブルな演算器14a～14dに、そのロジックセルアレイ18の機能動作を決定するためのコンフィギュレーションデータが書き込まれたROM15a～15eを切り換えて接続する。これは、CPU11から制御可能なクロスバースイッチ16により、演算器14a～14dとコンフィギュレーションROM15a～15e間のクロック信号、データアウトプットイネーブル信号、コンフィギュレーションデータ信号からなるコンフィギュレーションデータ線17の接続を切り換えることにより実施される。



【特許請求の範囲】

【請求項1】複数の演算器を直列に接続し、これらの複数の演算器の入出力データの構成をデータビットとデータビット有効信号からなる共通構造として、これらの複数の演算器のうちの前段の演算器の出力が次段の演算器の入力となるパイプライン演算回路において、前記複数の演算器を、各々演算機能の再コンフィギュレーションが可能なプログラマブルゲートアレイおよびメモリを有する、入出力ピンが共通な構成とすると共に、前記プログラマブルゲートアレイのコンフィギュレーションのための固有のデータが格納された複数のリードオンリーメモリと、前記プログラマブルゲートアレイのコンフィギュレーションデータラインを、クロスバースイッチを介して前記複数のリードオンリーメモリと接続する手段と、を具備し、前記クロスバースイッチを切り換えて前記複数のリードオンリーメモリからコンフィギュレーションのための固有のデータを与えて、前記プログラマブルゲートアレイの再コンフィギュレーションを行なうことにより、前記複数の演算器の演算機能を任意に切り換えることを特徴とするダイナミックなパイプライン演算回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、データフロー型処理を行なう装置全てに適用されるパイプライン演算回路に関する。

【0002】

【従来の技術】図4に、画像処理演算に適用する従来のパイプライン演算回路を示す。図4において、1は処理全体を制御するマイクロプロセッサ(CPU)、2は画像データを記憶するイメージメモリ(IM)である。3は画像データを転送するデータ転送回路、4a、4b、4c、4dは画像演算のための固有の演算機能を持つパイプライン演算器である。

【0003】パイプライン演算器4a、4b、4c、4dは、たとえば、2値化回路、ヒストグラム演算回路等であり、パイプラインのデータの流れに対し、固定して置かれている。パイプライン演算を行なう場合には、CPU1からパイプライン演算器4a、4b、4c、4dの各々に対して演算パラメータを設定し、データ転送回路3に演算対象となる画像の大きさ(X方向とY方向の大きさ)と、読み出すべきイメージメモリ2の始点アドレスと書き込むべきイメージメモリ2の始点アドレスを設定することにより、データ転送回路3がイメージメモリ2のアドレス信号を順次発生してデータを読み出し、データビット有効信号を付加してパイプライン演算器4aへ出力する。演算器4aで演算した結果を演算器4bへ出力して、さらに演算器4bで演算を施し演算器4cへ出力する。これに演算器4cで演算を施して演算器4d

に出力し、さらに演算器4dで演算を行なう。このようにして、1データに対しパイプライン演算器4a、4b、4c、4dで順次演算を行ない、最後に4dで演算された結果をデータ転送回路3によりタイミングをとて、イメージメモリ2に書き込む。

【0004】なお、パイプライン演算器4a、4b、4c、4dは各々パラメータおよび演算結果を格納する為のイメージメモリまたはレジスタを内部に有しており(図示せず)、CPU1からCPUバスを介してアクセスすることができる。

【0005】

【発明が解決しようとする課題】前述したように従来は、パイプライン演算器において、演算器の種類(数)とその並び順が固定されている。このために、たとえば、図4において演算器4b、4d、4a、4cの順に演算を実行したい場合には、まず、演算器4aと4cの各々の演算前と演算後でデータが無変化であるようにパラメータを設定して演算器4a、4b、4c、4dの順に演算を行なうことで、実質的には演算器4b、4dの順に演算を行ない、次に演算器4aと4cの各々の演算前と演算後でデータが無変化であるようにパラメータを設定して、前記演算結果にさらに演算器4a、4b、4c、4dの順に演算を行なうことで、実質的には演算器4a、4cの順に演算を行なって、その結果を演算器4b、4d、4a、4cの演算結果として、イメージメモリに格納する。

【0006】このように、演算器4b、4d、4a、4cの順に演算を実行しない場合には、演算器4a、4b、4c、4dの順にデータを2回通す(これを2バスのパイプラインサイクルと称する)ことが必要であるために、演算の処理速度が遅くなる。また、演算器の機能の変更ができないため、演算器の種類を増やす場合には基板そのものを作製しなおす必要がある。

【0007】

【課題を解決するための手段】この発明は上記課題を解決するために、複数の演算器を直列に接続し、これらの複数の演算器の入出力データの構成をデータビットとデータビット有効信号からなる共通構造として、これらの複数の演算器のうちの前段の演算器の出力が次段の演算器の入力となるパイプライン演算回路において、前記複数の演算器を、各々演算機能の再コンフィギュレーションが可能なプログラマブルゲートアレイおよびメモリを有する、入出力ピンが共通な構成とする。また、前記プログラマブルゲートアレイのコンフィギュレーションのための固有のデータが格納された複数のリードオンリーメモリと、プログラマブルゲートアレイのコンフィギュレーションデータラインを、クロスバースイッチを介して複数のリードオンリーメモリと接続する手段とを備え、前記クロスバースイッチを切り換えて複数のリードオンリーメモリからコンフィギュレーションのための固

有のデータを与えて、プログラマブルゲートアレイの再コンフィギュレーションを行なうことにより、複数の演算器の演算機能を任意に切り換えることを特徴とする。

【0008】

【作用】この発明においては、直列に接続される複数の演算器を、各々演算機能の再コンフィギュレーションが可能なプログラマブルゲートアレイおよびメモリを有する、入出力ピンが共通な構成とする。これらのプログラマブルゲートアレイのコンフィギュレーションのための固有のデータが格納された複数のリードオンリーメモリ(ROM)と、これらのプログラマブルゲートアレイのコンフィギュレーションデータラインとは、クロスバースイッチを介して接続される。この状態で、クロスバースイッチを切り換えて複数のROMからコンフィギュレーションのための固有のデータを与えて、プログラマブルゲートアレイの再コンフィギュレーションを行なうことにより、これらの複数の演算器の演算機能を任意に切り換えることが可能となる。

【0009】ここで、ROM(コンフィギュレーションROM)を実際の演算器の数より多く接続しており、これを切り換えてプログラマブルゲートアレイに再コンフィギュレーションすることにより、演算器の機能構成変更をROMの種類分だけ行なうことができる。

【0010】

【実施例】以下、図面を参照してこの発明の一実施例を説明する。

【0011】図1はこの発明の一実施例に係るバイライン演算回路の全体構成図である。同図において、11はCPU、12はイメージメモリ、13はデータ転送回路である。14a、14b、14c、14dはLCA(ロジックセルアレイ)18とRAM19からなるプログラマブルな演算器、15a、15b、15c、15d、15eはLCA18の機能動作を決定するためのコンフィギュレーションデータが書き込まれたコンフィギュレーションROMである。16は演算器14a～14d内のLCA18と、コンフィギュレーションROM15a～15e間のクロック信号、データアウトアットイネーブル信号、コンフィギュレーションデータ信号からなるコンフィギュレーションデータライン17a、17b、17c、17dを接続切り換えるためのクロスバースイッチである。

【0012】LCA18はRAM構造であり、パワーオン・リセット時に外付けのコンフィギュレーションROM15i(i=a～e)にクロックとデータアウトアットイネーブル信号を出力し、そのクロックに同期してROM15i(i=a～e)より読み出されるコンフィギュレーションデータを内部にローディングし、そのコンフィギュレーションに従った回路機能動作を行なう素子である。ROM15i(i=a～e)へのコンフィギュ

レーションデータの書き込みは次のように行なう。即ち、専用の開発設備により、CAD入力されたデータを自動配置配線プログラムにて、LCA18内部のマクロセルのロジックとロジック間の配線ルートに接続し、これをコンフィギュレーションデータとしてROM15i(i=a～e)に書き込む。又、LCA18はコンフィギュレーション完了後に後述するP/D端子を外部から低レベルにすることにより、パワーオン・リセット時と同様に再コンフィギュレーションを行なう機能を有している。

【0013】クロスバースイッチ16は、入力と出力の接続関係を制御するレジスタ(図示せず)をその内部に有しており、同レジスタをCPU11から書き替えることにより、任意の結線切り換えが可能となる。図2に、図1のバイライン演算回路のコンフィギュレーション例を示す。

【0014】図2(a)は、クロスバースイッチ16により、コンフィギュレーションROM15aと演算器14a、ROM15bと演算器14b、ROM15cと演算器14c、ROM15dと演算器14dが接続されている状態を示している。この状態で演算器14a、14b、14c、14d内のLCA18のP/D端子を低レベルにすることにより、演算器14a、14b、14c、14d内のLCA18がそれぞれ接続先のROM15a、15b、15c、15dからコンフィギュレーションデータをローディングする。この結果、バイラインの演算機能が実行される順序は、ROM15aの指定する機能、ROM15bの機能、ROM15cの機能、ROM15dの機能の順となる。

【0015】図2(b)は、クロスバースイッチ16により、コンフィギュレーションROM15cと演算器14a、ROM15dと演算器14b、ROM15aと演算器14c、ROM15eと演算器14dに接続切り換えた状態を示している。この状態で演算器14a、14b、14c、14d内のLCA18のP/D端子を低レベルにすることにより、演算器14a、14b、14c、14d内のLCA18がそれぞれ接続先のROM15c、15d、15a、15eからコンフィギュレーションデータをローディングする。この結果、バイラインの演算機能が実行される順序はROM15cの指定する機能、15dの機能、15aの機能、15eの機能の順となる。

【0016】図3は、図1の演算器14j(j=a～d)の詳細構成を示す。図中AIN、BIN、AOU、BOUT信号は各々データビット(たとえば8ビット)とデータビット有効信号(1ビット)からなる入出力データであり、バイラインクロック(PCLK)に同期して入力、演算、出力が行なわれる。CPU11から演算器14j(j=a～d)へのアクセスはCPUバスを介して行なわれ、外付けのアドレスデコーダ20に

より、LCA18内部のレジスタ（図示せず）をアクセスするのかLCA18に接続されているメモリ（RAM19）をアクセスするのかが選択され、リード信号（RD）又はライト信号（WT）によりデータの読み出し又は書き込みが行なわれる。メモリ（RAM19）のリード、ライトはLCA18を介してアドレス信号（MA）、データ信号（MD）、リード信号（MR）、ライト信号（MW）を制御して行なわれる。M0、M1、M2はLCA18固有のピンであり、全て低レベルにした場合、LCA18のプログラムはマスクシリアルモードとなる。DIN、CCLK、LDCもLCA18のコンフィギュレーションのための固有のピンであり、コンフィギュレーションデータライン17j（j=a～d）、クロスバースイッチ16を介してコンフィギュレーションROM151（i=a～e）のDATA、CLK、OEとCEピンに接続される。P/DピンはLCA18のコンフィギュレーションを外部から制御するためのピンであり、低レベルにすることによりLCA18は再コンフィギュレーションを行なう。

【0017】図3のLCA18の入出力ピンの信号関係を共通にした回路設計をコンフィギュレーションROM151（i=a～e）に書き込んでおき、LCA18にローディングすることにより、種々の演算を実行できることになる。たとえば、AINのデータとBINのデータを加算して、加算結果の下位をAOUTに上位をBOUTに出力する回路設計であれば加算器となり、AINのデータをアドレスとしてRAM19のデータを引き、AOUTに出力する回路設計であればルックアップテーブルとなる。

【0018】

【発明の効果】以上詳記したようにこの発明によれば、直列接続された複数の演算器の構造を内部回路の再コンフィギュレーションが可能なプログラマブルゲートアレイとメモリより構成すると共に、コンフィギュレーションデータを書き込んだ複数のリードオンリメモリ（ROM）を設け、ROMと演算器内のプログラマブルゲートアレイ間のコンフィギュレーションデータラインをクロスバースイッチを通して接続しておき、このクロスバースイッチを切り換えてプログラマブルゲートアレイの再

コンフィギュレーションを行なう構成とすることにより、次のような効果を得ることができる。

【0019】（1）複数の演算器の演算機能をそれぞれ任意に切り換える設定することができ、したがって、演算機能の実行順を任意の組み合わせでダイナミックに切り換えることができる。このために、1バスのバイオペーランサイクルで同時に処理できる演算の数を物理的な演算器の数とすることができる。また、従来は2バス以上のバイオペーランサイクルで実行されていた演算も1バスのバイオペーランサイクルで実行でき、演算処理の高速化が図れる。

【0020】（2）コンフィギュレーションROMを実際の演算器の数より多く接続しておき、これを切り換えてプログラムブルゲートアレイの再コンフィギュレーションを行なうことにより、演算器の機能構成変更をROMの種類分だけ行なうことができる。即ち、物理的な演算器の数に対してそれ以上の回路デザインをROMに持つておき切り換えてコンフィギュレーションすることにより、物理的な演算器の数以上の演算機能を実行することができる。また、演算器の種類を増やす場合にも基板そのものを作製しなおす必要が少なくなる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るバイオペーラン演算回路の全体構成を示すブロック図。

【図2】同実施例におけるバイオペーラン演算回路のコンフィギュレーション例を示す図。

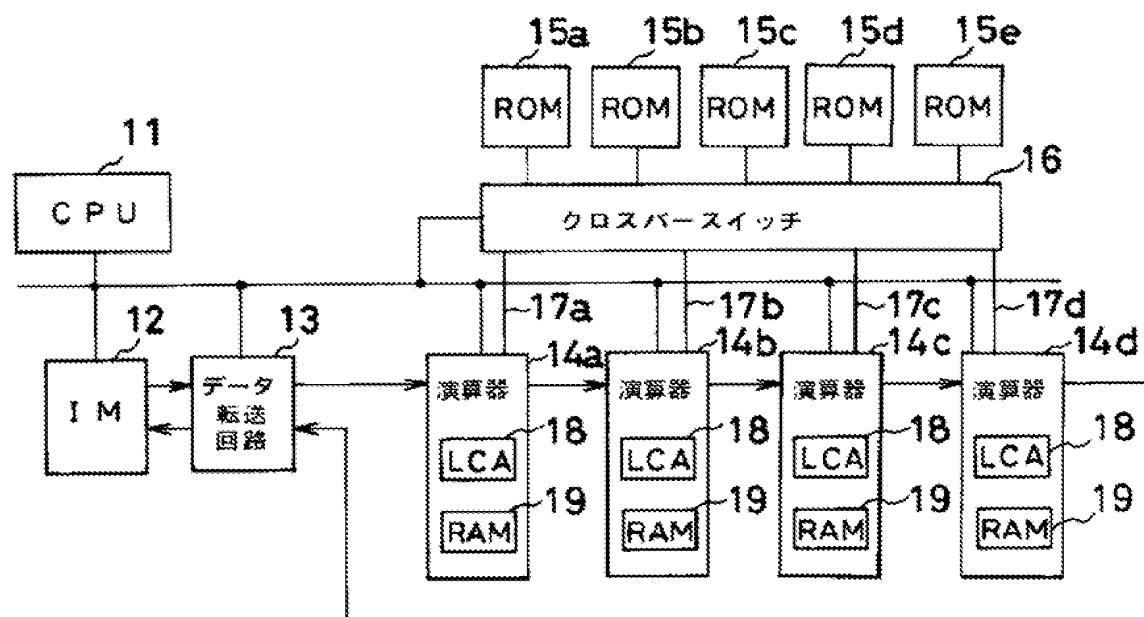
【図3】同実施例における演算器14a～14dの詳細構成を示す図。

【図4】従来のバイオペーラン演算回路の全体構成を示すブロック図。

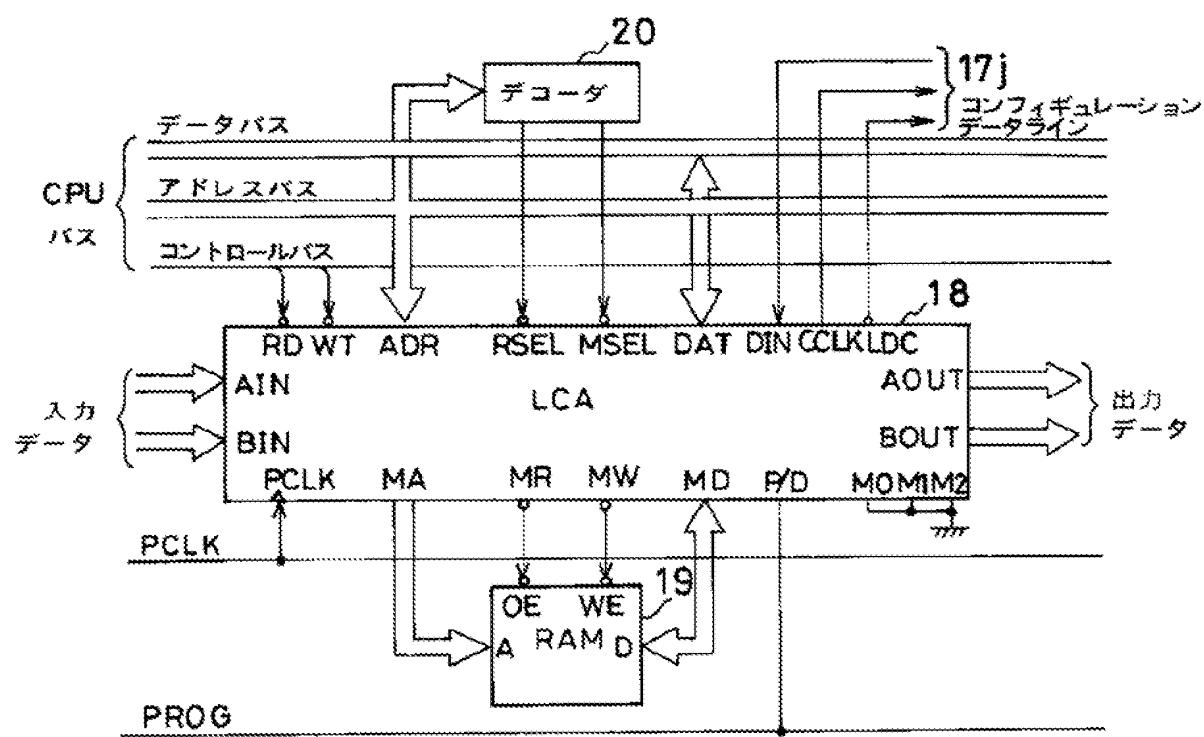
【符号の説明】

1、11…CPU、2、12…イメージメモリ、3、13…データ転送回路、4a～4d、14a～14d…演算器、15a～15e…ROM（コンフィギュレーションROM）、16…クロスバースイッチ、17a～17d、17j…コンフィギュレーションデータライン、18…ロジックセルアレイ（LCA、プログラマブルゲートアレイ）、19…RAM（メモリ）、20…デコーダ。

【図1】

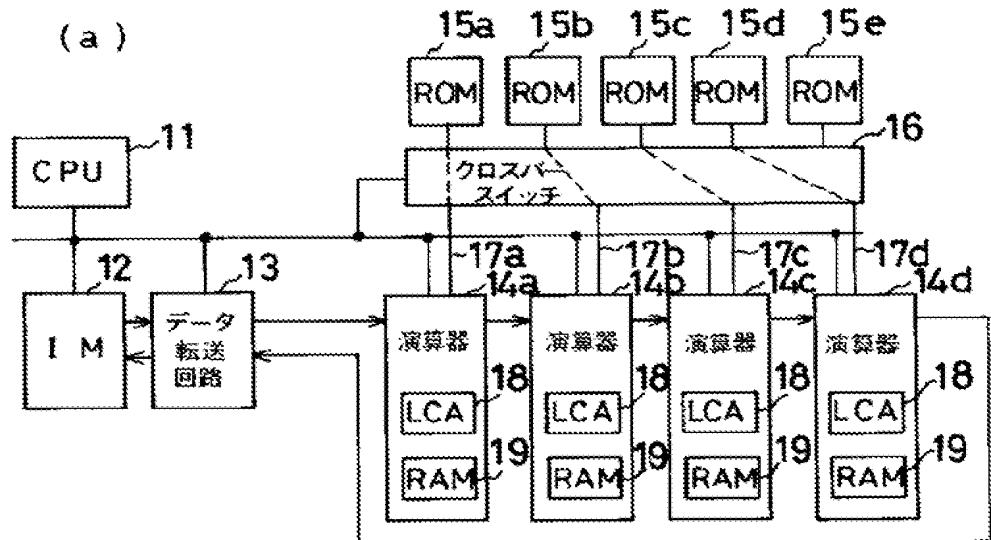


【図3】

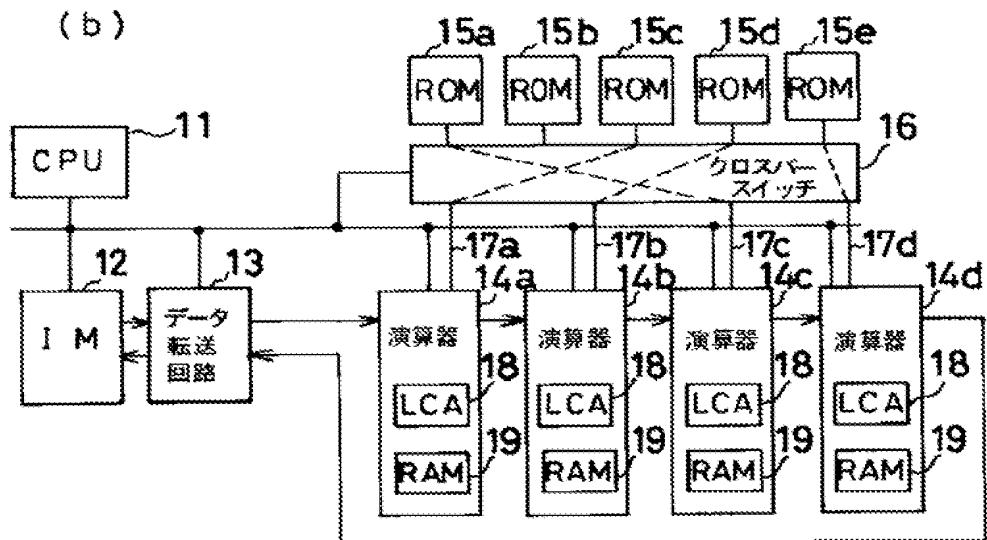


【図2】

(a)



(b)



【図4】

